

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-37305

(43)公開日 平成5年(1993)2月12日

(51) Int.Cl.⁵

識別記号 庁内整理番号
Z 7328-51

F I

技術表示箇所

審査請求 未請求 請求項の数 1(全 5 頁)

(21)出願番号	特願平3-188619	(71)出願人	000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地
(22)出願日	平成3年(1991)7月29日	(72)発明者	田中 功 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
		(72)発明者	山口 聖司 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
		(74)代理人	弁理士 小鍛治 明 (外2名)

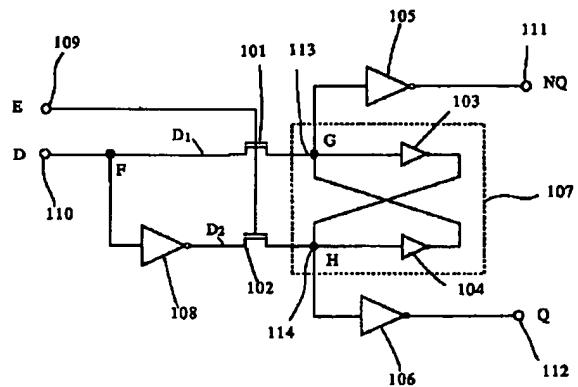
(54)【発明の名称】 ラッチ回路

(57) 【要約】

【目的】 本発明は、電源電圧の変化に対してデータ伝達の遅延時間の変化が少なく、出力配線部分の容量の変化に対しても遅延時間がほとんど影響を受けないという回路設計の容易化を可能とする高速なラッチ回路を提供することを目的とする。

【構成】 NチャネルMOSトランジスタ101, 102により入力データとその反転信号の入力を制御し、メモリセル107の2つの記憶節点113, 114に、入力されたデータとインバータ108により生成した反転信号を記憶させると同時に、出力用インバータ105, 106を通して正転、反転の両方のデータを出力する。メモリセルをフリップフロップ構成として正転、反転の両方の信号によりデータのラッチを行い、出力用インバータ101, 102を適当なサイズに設計することにより、出力配線の容量、電源電圧の変化に対して遅延時間の変動が少なく、且つ、高速なデータの伝達を可能とする。

- | | |
|-------------|----------------|
| 101,102 | NチャネルMOSトランジスタ |
| 103,104,108 | インバータ |
| 105,106 | 出力用インバータ |
| 107 | メモリセル |
| 109 | イネーブル信号の入力端子 |
| 110 | データの入力端子 |
| 111 | 反転信号の出力端子 |
| 112 | データの出力端子 |
| 113,114 | 記憶節点 |



1

【特許請求の範囲】

【請求項1】入力データの反転信号を生成するためのインバータと、第1及び第2の2つの記憶接点を持つフリップフロップ構成のメモリセル部と、イネーブル信号により入力データと前記インバータにより生成した反転信号の前記メモリセルへの入力を制御する第1及び第2のNチャネルMOSトランジスタと、前記メモリセルに保持したデータを出力するための出力用インバータを備え、前記第1のNチャネルMOSトランジスタを通して入力データの正転信号を前記メモリセルの前記第1の記憶接点へ入力し、前記第2のNチャネルMOSトランジスタを通して前記インバータにより生成した反転信号を前記メモリセルの前記第2の記憶接点へ入力し、この2つの信号の入力をイネーブル信号により同時に制御し、前記メモリセルにデータを書き込むと同時に前記出力用インバータを通してデータを出力することを特徴とするラッチ回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、高速な信号の伝達手段として好適なラッチ回路に関するものである。

【0002】

【従来の技術】図3は従来のラッチ回路の回路構成の一例を示すものである。図3において、301,302はNチャネルMOSトランジスタ（以下、NMOSTrと言う）、303,304はインバータ、305はデータを記憶するメモリセル、306はデータの入力端子、307はイネーブル信号の入力端子、308はデータの出力端子、309は反転信号の出力端子、310は反転イネーブル信号の入力端子である。

【0003】以下、図3と図4を用いて、このラッチ回路の動作を説明する。但し、図4は、このラッチ回路のタイミングチャートである。

【0004】入力端子306からはデータDが入力され、入力端子307からはイネーブル信号E、入力端子310からはイネーブル信号Eの反転信号であるE'が入力される。いま、データDが"H"（高レベル）となり、その後の時刻T₃でイネーブル信号Eが"L"（低レベル）から"H"に反転すると、NMOSTr301がオンし、"H"のデータがNMOSTr301から取り込まれてインバータ303で反転される。したがって、インバータ303の出力側のG点に"L"に反転したデータが取り込まれ出力端子309から出力される。また、このG点のデータがインバータ304で"H"に反転され出力端子308を通して出力される。

【0005】次に、時刻T₄でイネーブル信号Eが"L"になると、その反転信号E'は"H"になるから、NMOSTr301がオフし、NMOSTr302がオンする。この時、G点の"H"レベルはインバータ304で反転されてインバータ303の入力側のF点に"H"レベルとして供給されるので、NMOSTr301がオフしてもG点のレベルは"L"に保持される。

【0006】また、イネーブル信号Eが"H"となり、NMO

2

STr301がオンしたときにデータDが"L"である場合には、同様な動作によりG点には"H"レベルが保持され、出力端子308には"L"レベルの出力データQが出力され、出力端子309には"H"レベルの出力データNQが出力される。

【0007】以上のように、図3に示したラッチ回路では、入力端子306の入力データは、インバータ303で信号が反転されることによりG点に書き込まれ、インバータ303、304の順に転送され、出力端子308からデータQとして、また、出力端子309からは反転されたデータNQとして出力される。

【0008】

【発明が解決しようとする課題】図3の従来例のラッチ回路に於いてラッチへ書き込まれるデータDが"H"レベル（即ち、V_{DD}）だったときには、F点の電位は最大（V_{DD}-V_t）までしか上昇しない。ここでV_{DD}は電源電圧、V_tはNMOSトランジスタ301のしきい値電圧である。

一方、データDが"L"レベルの時には、F点の電位は速やかにOVまで引き下げられる。これは、データDが"H"レベルの時には、F点の電位が（V_{DD}-V_t）まで達すると、NMOSトランジスタ301のゲート-ソース間電圧がしきい値電圧まで降下し、トランジスタ301が遮断状態になるからである。このとき、出力電圧が大きくなるとともに、等価的なスイッチ抵抗が大きくなるので伝達が遅くなる。この実施例のようにインバータ304、NMOSTr302によりデータの帰還路を設けることにより、G点の電位をV_{DD}まで引き上げることはできるが、この動作は、NMOS Tr301がオフし、NMOSTr302がオンした時点で初めて行われる。このため、G点の電位がV_{DD}まで上昇するのは遅れることになる。ここで、NMOSTr301のV_tには基板バイアス効果によりV_t=V_{t0}+γ(V_{sb})^{1/2}の関係があり、電源電圧が低下した場合にはV_tが低下するが、この変化はほとんどの場合には電源電圧の変化に比べれば小さいので、電源電圧変化の影響の方が顕著に現われる。但し、V_{sb}は基板-ソース間の電位差、V_{t0}はV_{sb}=0時のしきい値電圧、γは定数である。即ち、電源電圧が低下するとゲート-ソース間にかかる電圧が減少するため電流が減少し、著しくラッチへデータが取り込まれるのが遅くなる。このため、低電源電圧系の回路構成を設計する場合、この構成の回路では高速な回路動作が達成されなかつた。

【0009】また、出力端子308,309に到る出力配線には容量が存在し、この容量が大きい場合には、これを充放電するために大きな遅延が生じていた。このため、データの書き込みの確定が遅くなると言う問題を有していた。

【0010】本発明の目的は、かかる問題点を解消し、電源電圧が低下してもデータの書き込み時間の変動が少なく、また書き込み時間が配線容量に依存しない、正転、反転の両方のデータの高速な転送が可能なラッチ回

50

路を提供することにある。

【0011】

【課題を解決するための手段】上記目的を達成するために、本発明によるラッチ回路は、入力データの反転信号を生成するためのインバータと、第1及び第2の2つの記憶接点を持つフリップフロップ構成のメモリセル部と、イネーブル信号により入力データと前記インバータにより生成した反転信号の前記メモリセルへの入力を制御する第1及び第2のNチャネルMOSトランジスタと、前記メモリセルに保持したデータを出力するための出力用インバータを備え、前記第1のNチャネルMOSトランジスタを通して入力データの正転信号を前記メモリセルの前記第1の記憶接点へ入力し、前記第2のNチャネルMOSトランジスタを通して前記インバータにより生成した反転信号を前記メモリセルの前記第2の記憶接点へ入力し、この2つの信号の入力をイネーブル信号により同時に制御し、前記メモリセルにデータを書き込むと同時に前記出力用インバータを通してデータを出力するものである。

【0012】

【作用】本発明に係るラッチ回路は、上記のようにメモリセルへの入力に入力データとその反転信号の両方を用いているため、一方の入力データが"H"レベルの信号の書き込みであっても他方の入力は"L"レベルの書き込みとなり、電源電圧の変動の影響が少なく書き込み時間が極端に長くなることがなくなる。

【0013】また、データの書き込み時にデータの確定時間が出力配線部の容量に影響されにくく、正転、反転の両方のデータの高速書き込みが可能になる。

【0014】

【実施例】以下本発明の一実施例のラッチ回路について、図面を参照しながら説明する。まず、図1は本発明の実施例におけるラッチ回路の回路図を示すものである。図1において、101, 102はイネーブル信号によってデータの入力を制御するNMOSTr、108はデータの反転信号を生成するためのインバータ、107は2つのインバータ103, 104によりフリップフロップを構成したメモリセル、105, 106はデータの出力部に当たる出力用インバータである。また、109はイネーブル信号の入力端子、110はデータの入力端子、111は反転信号の出力端子、112はデータの出力端子、113, 114はメモリセル107の記憶節点である。

【0015】以上のように構成されたラッチ回路について、以下図1及び図2を用いてその動作を説明する。但し、図2は本発明の実施例のラッチ回路におけるタイミングチャートを示すものである。

【0016】入力端子110からはデータD₁が入力され、入力端子109からはイネーブル信号Eが入力される。いま、データD₁が"H"レベルとなっており、時刻t_{s1}でイネーブル信号Eが"L"から"H"に反転すると、NMOSTr101,

102がオンし、NMOSTr101を介して"H"の入力データがG点に取り込まれる。また、H点には、NMOSTr102を介して、インバータ108により"L"に反転された反転データD₂が取り込まれる。そして、これと同時に出力用インバータ105を通して"L"に反転した出力データN Qが出力され、出力用インバータ106を通して"H"に反転した出力データQが出力される。次に、時刻t_{s2}でイネーブル信号Eが"L"になると、NMOSTr101, 102がオフする。このとき、G点の"H"レベルはインバータ103で反転されてインバータ104の入力側に"H"レベルとして供給され、H点の"L"レベルはインバータ103の入力側に"H"レベルとして供給されるので、NMOSTr101, 102がオフしてもG点、H点のレベルは保持される。データD₁が"L"であった場合でも同様な動作で、G点、H点のレベルは保持される。

【0017】このようにして、入力端子110から入力された入力データは、インバータ108により生成された反転信号とともにイネーブル信号Eの立ち上がり時刻毎にラッチされる。

【0018】ここで、入力データD₁が"H"レベルであった場合電源電圧が下がったときには、NMOSTr101を通して書き込まれる"H"レベルのデータの書き込みは遅れるが、NMOSTr102を通して書き込まれるのは"L"レベルの信号であるため電源電圧が下がっても極端には遅くならない。また、逆に、NMOSTr102から書き込まれる信号が"H"レベルだった場合でもNMOSTr101に対する入力は"L"となるから、データの書き込み時間は遅くならない。即ち、メモリセルへの入力に入力データD₁とD₂の反転信号D₂の両方を用いているため、一方の入力データが"H"レベルの書き込みとなるため、電源電圧V_{DD}の変動の影響が少なく書き込み時間が極端に長くなることがなくなる。

【0019】また、メモリセルからの正転信号、反転信号の両方の出力部に出力用インバータを備えており、このインバータのサイズを適当な大きさに設計することにより、出力部の配線容量が大きくなったときにも書き込み時間の変動を抑えることができる。このため、出力部の配線容量が変化した場合でもメモリセル部を構成するインバータのサイズを考慮する必要がなく、出力部のインバータのサイズを変更するだけでよくなり、回路設計時に、回路定数の検討課程を簡略化することができる。配線容量に対してのデータ出力の遅延時間について、本実施例によるラッチ回路と従来のラッチ回路の特性を図5に比較して示している。

【0020】なお本実施例では入力信号の正転、反転の両方の信号を出力したが、これはどちらか一方の信号のみ出力してもよい。この場合には、回路の構成自体をほとんど変更することなくどちらの信号でも選択することが可能となり、回路設計の容易化が実現できる。

【0021】

5

【発明の効果】以上のように、本発明のラッチ回路によれば、電源電圧が変化してもデータの書き込みにかかる時間（遅延時間）の変化が少なく、又、このデータの書き込み時間が出力部の負荷容量に依存しないため、今後のLSIの高速化、低電圧化に容易に対応できる。また、配線容量に関係なくメモリセル部の大きさを設計できること、正転、反転の2つのデータをラッチしてそのいずれでも出力できることにより回路設計の自由度を向上するという効果を有する。

【図面の簡単な説明】

【図1】本発明の一実施例におけるラッチ回路の回路図

【図2】同実施例における動作説明のためのタイミングチャート図

【図3】従来のラッチ回路の回路図

【図4】従来例における動作説明のためのタイミングチ

6

ヤート

【図5】本発明の実施例と従来のラッチ回路についての、出力部の配線容量とデータの入力から出力までにかかる遅延時間のシミュレーションの結果に基づく特性図

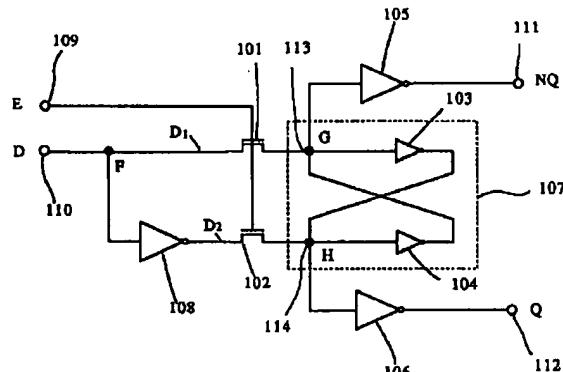
【符号の説明】

- 101、102 Nチャネルトランジスタ
 103、104 インバータ
 105、106 出力用インバータ
 107 メモリセル

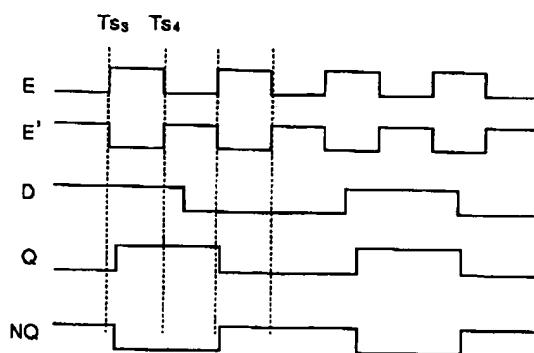
10 108 反転信号を生成するインバータ
 109 イネーブル信号の入力端子
 110 データの入力端子
 111 反転信号の出力端子
 112 データの出力端子

【图1】

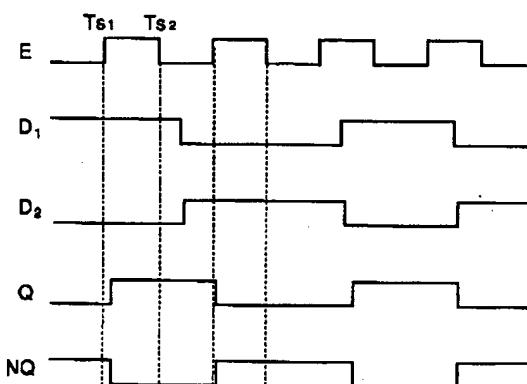
101,102	NチャネルMOSトランジスタ
103,104,108	インバータ
105,106	出力用インバータ
107	メモリセル
109	イネーブル信号の入力端子
110	データの入力端子
111	反転信号の出力端子
112	データの出力端子
113,114	記憶駆動点



[図4]

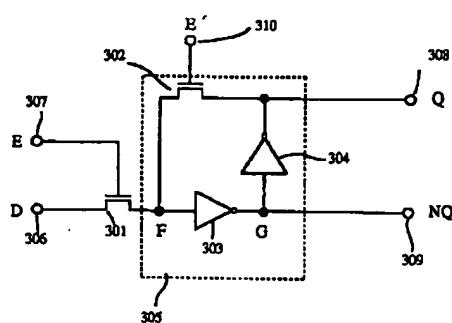


[図2]



〔図3〕

301,302	NチャネルMOSトランジスタ
303,304	インバータ
305	メモリセル
306	データの入力端子
307	イネーブル信号の入力端子
308	データの出力端子
309	反転信号の出力端子
310	反転イネーブル信号の入力端子



【図5】

